

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



Europäisches Patentamt
European Patent Office
Office européen des brevets

97 P 8023
Veröffentlichungsnummer: 0 268 941
A1

2

B2

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 87116679.9

(51) Int. Cl. 4: H01L 29/54, H01L 21/285,
H01L 21/82

(22) Anmeldetag: 11.11.87

(30) Priorität: 18.11.86 DE 3639356

(43) Veröffentlichungstag der Anmeldung:
01.06.88 Patentblatt 88/22

(84) Benannte Vertragsstaaten:
AT DE FR GB IT NL

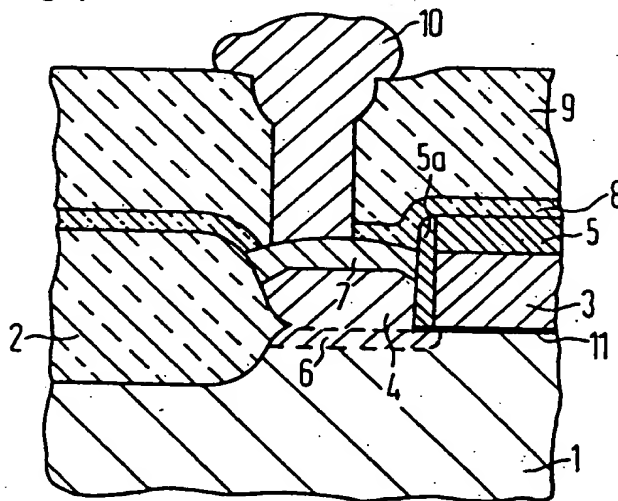
(71) Anmelder: Siemens Aktiengesellschaft Berlin
und München
Wittelsbacherplatz 2
D-8000 München 2(DE)

(72) Erfinder: Mazuré-Espejo, C. A., Dr. rer. nat.
Heinrich-Egger-Strasse 10
D-8011 Kirchseeon(DE)
Erfinder: Neppl, Franz, Dr. rer. nat.
St.-Quirin-Platz 6
D-8000 München 90(DE)

(54) MOS-Feldeffekt-Transistorstruktur mit extrem flachen Source/- Drain-Zonen und Silizid-Anschlussbereichen, sowie Verfahren zu ihrer Herstellung in einer integrierten Schaltung.

(57) Die erfindungsgemäße MOS-Feldeffekttransistor-Struktur weist zwischen Gate-Elektrode (3) und Feldoxidbereichen (2) durch selektive Epitaxie erzeugte einkristalline, dotierte Siliziumgebiete (4) auf, die zugleich als Diffusionsquelle für die Erzeugung der Source/Drain-Zonen (6) im Substrat (1), als auch als Anschlußbereiche für die aus Silizid bestehenden Source/Drain-Anschlüssen (7) dienen. Durch diese Anschlußtechnologie werden bei hoher Integrationsdichte besonders planare Strukturen erzeugt, die sich durch verminderte Drainfeldstärke, niedrige Serienwiderstände und geringe Substratkurzschlußgefahr auszeichnen. Die Verfahren zur Realisierung dieser Struktur in CMOS-Schaltungen sind einfach durchführbar. Die Erfindung ist anwendbar für alle NMOS-, PMOS- und CMOS-Schaltungen.

FIG 1



EP 0 268 941 A1

MOS-Feldeffekt-Transistorstruktur mit extrem flachen Source/Drain-Zonen und Silizid-Anschlußbereichen, sowie Verfahren zu ihrer Herstellung in einer integrierten Schaltung.

Die Erfindung betrifft eine zwischen Feldoxid-bereichen einer integrierten Schaltung angeordnete MOS-Feldeffekt-Transistorstruktur mit extrem flachen Source/Drain-Zonen im Siliziumsubstrat und selbstjustierten, aus Silizid bestehenden Source/Drain-Anschlüssen und einer, durch eine Isolationsschicht vom Substrat getrennten, über der zwischen den Source/Drain-Zonen liegenden Kanalzone angeordneten, mit Flankenoxid versehenen Gate-Elektrode. Die Erfindung betrifft ferner komplementäre MOS (CMOS)-Transistoren enthaltende hochintegrierte Schaltungen mit die aktiven Transistorbereiche trennenden Feldoxidbereiche, mit extrem flachen Source/Drain-Zonen im Substrat, mit selbstjustierten, aus Silizid bestehenden Source/Drain-Anschlüssen und mit Gate-Elektroden, die isoliert vom Substrat über den zwischen den Source/Drain-Zonen der n-Kanal-bzw. p-Kanal-Transistoren liegenden Kanälen angeordnet sind und Flankenoxide aufweisen, sowie Verfahren zu ihrer Herstellung.

Bei der weiteren Miniaturisierung von MOS-Ic's erhöhten sich die Probleme bezüglich der parasitären Serienwiderstände, der Drainfeldstärke (sog. hot carrier effects) und der Planarisierung. Insbesondere die Planarisierung ist vor der Durchführung der Kontaktlochätzung wegen der sonst sich ergebenden mehreren unterschiedlichen Kontaktlochtiefen und der begrenzten Selektivität der Ätzung zum Substrat sehr stark eingeschränkt.

Zur Reduzierung der Drainfeldstärke sind die sog. LDD-Techniken (= lightly doped drain-Techniken) weit verbreitet, die aber erhebliche Serienwiderstände zur Folge haben. Zur Lösung des Serienwiderstandsproblems wurden daher die sog. SALICIDE-Techniken (= self aligned silicide-Techniken), wie sie beispielsweise in einem Bericht von C.K. Lau, Y.C. See, D.B. Scott, J.M. Bridges, S.M. Perna und R.D. Davis im IEDM Techn. Digest, S. 714-177 (1982) erwähnt werden, sowie eine Kombination der selbstjustierten Silizierung (Abscheidung von Metall auf Siliziumoberflächen) mit der lightly doped drain-Technik vorgeschlagen. Diese Technik wird als sog. SOLID-Technik (= silicide on lightly doped drain) bezeichnet und ist aus einem Bericht von M. Horiuchi und K. Yamaguchi aus dem Solid State Electronics 28 (1985) S. 465-472 bekannt.

Der Nachteil all dieser Techniken besteht darin, daß die vorher erzeugte - wegen der Kurzkanaleigenschaften notwendigerweisen flachen - Diffusionsgebiete durch die Silizidreaktion teilweise wieder verbraucht werden und damit die Gefahr von Substratkurzschlüssen, insbesondere bei nicht

homogenen Reaktionen, besteht.

Aufgabe der Erfindung ist es, eine MOS-Feldeffekt-Transistorstruktur zu schaffen, bei der die Technologie der bekannten Verfahren so verbessert ist, daß trotz flacher Source/Drain-Zonen eine Silizierung zur Reduzierung der Schichtwiderstände möglich ist, ohne daß Substratkurzschlüsse entstehen können. Außerdem sollen eine möglichst planare Struktur, die für eine Mehrlagenverdrahtung geeignet ist, entstehen, wobei die Kontaktlochätzung und damit die Selektivität dieser Ätzung zum Substrat unkritisch ist.

Gelöst wird diese Aufgabe durch die eingangs genannte MOS-Feldeffekttransistor-Struktur, welche erfindungsgemäß dadurch gekennzeichnet ist, daß zwischen Gate-Elektrode und den Feldoxidbereichen durch selektive Epitaxie erzeugte einkristalline dotierte Siliziumschichten angeordnet sind, die

a) die Diffusionsquellen zur Erzeugung der Source/Drain-Zonen im Substrat und

b) die Anschlußbereiche zu den darüber angeordneten, aus Silizid bestehenden Source/Drain-Anschlüssen bilden.

Durch die Verwendung der selektiven Epitaxie wird eine Vorplanarisierung der Transistorstruktur erreicht, die eine Reihe von Device-Vorteilen beinhaltet. Die Anwendung der selektiven Silizium-Epitaxie ist in der CMOS-Technologie z.B. aus einem Aufsatz von S. Nagao, K. Higashitani, Y. Akasaka und H. Nakata im Technical Digest IEDM (1984) auf den Seiten 593-596 zu entnehmen. Dort wird die selektive Epitaxie dazu benutzt, in Isolations-schichten geätzte Gräben mit einkristallinem Silizium aufzufüllen und die LOCOS-Isolationstechnik durch Unterbinden der sog. bird's beak zu verbessern.

Ein weiteres Verfahren der selektiven Silizium-Epitaxie für hochintegrierte CMOS-Schaltungen ist aus einem Aufsatz von K.A. Sabine und H.A. Kernhadjian aus dem IEEE Electron Device Letters, EDL-6 (1985) S. 43-46 zu entnehmen. Die selektive Epitaxie dient hier dazu, in Siliziumsubstrate geätzte Wannen mit einkristallinen, entsprechend dotierten Siliziumschichten aufzufüllen, um begrenzte Wannenbereiche mit niedrigen Oberflächenkonzentrationen, niedrigen Schichtwiderständen und vernachlässigbarer lateraler Ausdiffusion zu erhalten.

Die erfindungsgemäße Struktur hat gegenüber den bekannten MOS-bzw. CMOS-Strukturen den Vorteil, daß durch das homogene Auffüllen der Bereiche zwischen Gate und Feldoxid mit einkristallinem Silizium, wobei die Gateflächen mit Oxid bedeckt bleiben und von der späteren Silizierung

ausgeschlossen sind, die neue Source/Drain-Herstellung durch die Optimierung der Source/Drain-Kontakte vom Gate-Bereich weitgehend entkoppelt wird. Dabei ergeben sich folgende Verbesserungen und Möglichkeiten:

1. Da die Source/Drain-Implantation in die epitaktisch aufgewachsene Siliziumschicht stattfindet, wird kein Implantationsdamage an der Gatekante verursacht. Dadurch wird die Güte der Gateoxidqualität bewahrt und eine mögliche Degradationsursache vermieden.

2. Bei üblichen Diffusions-Zeit-Produkten ($D \cdot t$) sind durch die Ausdiffusion aus dem hochdotierten epitaktischen Source/Drain-Gebiet sehr flache effektive Diffusionsgebiete im Substrat erzielbar. Geringer Unterschwellströme (Subthreshold) sowie verminderte Punch-Through-Effekte sind deshalb zu erwarten. Bei den Anti-Punch-Kanal-Implantationen wird eine geringere Dosis benötigt. Dies führt zu einer Reduktion der Junction-Kapazität. Die relativ niedrige Dotierung in dem ausdiffundierten Source/Drain-Gebiet vermindert die Drinfeldstärke an der Gatekante, die eine der wichtigsten Degradationsursachen darstellt.

3. Die Kombination mit der self aligned silicid-Technik (SALICIDE-Technik) wirkt sich auf die parasitären Serienwiderstände aus. Es kann eine Silizierung durchgeführt werden, trotz der flachen effektiven Diffusionsgebiete. Die Gefahr der Substratkurzschlüsse bei möglichen inhomogenen Silizidreaktionen wird durch die Epitaxie-Schicht verhindert, die trotz flacher effektiver Diffusionsgebiete als Pufferschicht wirkt. Folglich sind höhere Siliziddicken möglich, um niedrigere Widerstände zu erzielen.

4. Die epitaktisch aufgewachsenen Source/Drain-Gebiete schaffen eine verbesserte Voraussetzung für die Planarisierung und die Mehrlagenverdrahtung. Die Einschränkung beim Verfließprozeß mit Bor-Phosphor-Silikatglas wird verringert. Aufgrund dessen werden die Anforderungen an die Selektivität der Kontaktlochatzung vermindert. Der Abstand Kontaktloch zur Feldoxidentkante wird unkritisch, da keine Substratkurzschlußgefahr mehr besteht.

5. Aufgrund der flachen Source/Drain-Ausdiffusion im Substrat ist bei gleichbleibenden Wandendotierungen und -tiefen eine verminderte Latch-up-Anfälligkeit zu erwarten. Der Grund dafür ist die höhere Gummelzahl bzw. die Erhöhung der parasitären Emitter-Kollektor-Durchbruchspannung U_{CEO} .

Weitere Ausgestaltungen der Erfindung, insbesondere Verfahren zur Realisierung der MOS- bzw. CMOS-Struktur in integrierten Schaltungen ergeben sich aus den Unteransprüchen.

Im folgenden soll anhand der Figuren 1 bis 12 die erfindungsgemäße MOS-Feldeffekttransistor-

Struktur sowie Verfahren zu ihrer Herstellung in einer integrierten Schaltung noch näher erläutert werden. Dabei zeigen

die Figur 1 ein Schnittbild durch eine MOS-Feldeffekttransistorstrukturhälfte, um den Aufbau der Schichten deutlich zu machen,

die Figur 2 das in der Epitaxieschicht und im Substrat herrschende Dotierungsprofil,

die Figuren 3 bis 7 Schnittbilder über die wesentlichen Verfahrensschritte bei der Herstellung einer CMOS-Schaltung, wobei die Dotierung der Epitaxieschicht nach der Abscheidung durch Ionenimplantation erfolgt, und

die Figuren 8 bis 12 Schnittbilder über die wesentlichen Verfahrensschritte bei der Herstellung einer CMOS-Schaltung, wobei die Dotierung des jeweiligen Kanaltyps bereits bei der epitaktischen Abscheidung mit vorgenommen wird. Gleiche Teile sind in den Figuren mit gleichen Bezugszeichen versehen.

Figur 1: Der Prozeß zur Herstellung der erfindungsgemäßen Struktur läuft bis zur Herstellung der Metallabscheidung für den Silizidanschluß in den Source/Drain-Bereichen wie ein self aligned silicide-Prozeß (siehe Bericht von C.K. Lau et al), bei dem die Gate-Elektrode (3) durch die aufgebrachte Oxidschicht (5, 5a) von der Silizierung ausgeschlossen bleibt und die Source/Drain-Ionenimplantation noch nicht durchgeführt worden ist. Dann erfolgt auf die bereits freigeätzten Source/Drain-Gebiete (6) des Substrates 1 die selektive Abscheidung einer undotierten epitaktischen (also monokristallinen) Siliziumschicht 4, die den Bereich zwischen der Gate-Elektrode 3 (mit Flankenoxid 5a) und dem Feldoxid 2 auffüllt. Die Ausfüllung 4 der Source/Drain-Bereiche ist durch die selektive Epitaxie sehr homogen und einkristallin. Die Facettenbildung am Rande des Source- bzw. Drain-Gebietes (4), ein Effekt der selektiven Epitaxie, stellt in diesem Fall kein großes Hindernis dar, da dies den aktiven Transistorbereich nicht berührt. Außerdem kommt es bei der Kontaktierung hauptsächlich auf die Reinheit der Oberfläche an. Nach dem Abscheiden der Epitaxieschicht 4 werden die Dotieratome für die Source/Drain-Zone 6 in den einkristallinen Siliziumbereich 4 implantiert und so weit diffundiert, daß die p/n-Übergänge zum Substrat 1 (bzw. den Wannen) nur knapp innerhalb des ursprünglichen Mono-Siliziums (1) liegen (siehe Bereich 6). Mit dem Bezugszeichen 7 ist der Silizidanschluß, mit 8 eine Zwischenoxidschicht, mit 9 eine Bor-Phosphorglasschicht, mit 10 die aus einer Aluminium/Silizium/Titan-Legierung bestehende äußere Leiterbahn und mit 11 das Gateoxid bezeichnet.

Figur 2 zeigt das erhaltene Dotierungskonzentrationsprofil (Ordinate = Konzentration in cm^{-3} , Abszisse = Eindringtiefe in μm) für den Fall einer

n⁺-Source- bzw. Drain-Zone. Bei üblichen Diffusions-Zeit-Produkten ($D \cdot t$) entstehen effektiv extrem flache Source/Drain-Zonen (6) mit relativ geringer Dotierungskonzentration, die für gute Kurzkanaleigenschaften (z.B. U_{TL} , sog. hot carriers) wichtig sind. In Figur 2 bedeuten die Kurven I und II Phosphordotierungsprofile nach der Doppelimplantation, die Kurve III das Phosphordotierungsprofil nach dem Hochtemperaturschritt und die Kurve IV das Bordotierungsprofil im Substrat.

Der für den Übergangswiderstand und Schichtwiderstand wichtige Bereich hoher Dotierungskonzentration liegt im oberen Bereich der aufgetragenen selektiven Epitaxieschicht (4) und damit außerhalb des kritischen Bereichs in der Nähe des Kanals. Der Prozeß kann mit Silizierungstechniken (Aufbringen einer Metallschicht und Silizidbildung) ergänzt werden, wobei die Gefahr von Silizium-Verbrauch in Verbindung mit flachen Diffusionsgebieten entfällt, da die selektive Epitaxieschicht die Diffusionsgebiete nach oben "verlängern", ohne die Kurzkanaleigenschaften zu verschlechtern. Außerdem findet bei der Silizierung, bedingt durch die Einkristallinität der Schicht eine einfache Reaktion statt; es treten keine Reaktionen mit Korngrenzen auf, wie es bei polykristallinem Silizium der Fall ist.

Die Reichweite der Implantation plus die $D \cdot t$ -Belastung müssen allerdings zwei Randbedingungen erfüllen

1. Die Implantationsenergie darf nicht so hoch sein, daß eine außergewöhnliche Maskierung nötig wird.

2. Das $D \cdot t$ -Produkt, das für den Anschluß zum Kanal sorgt, darf nicht so groß sein, daß es die bereits vorhandenen Dotierprofile ändert. Im wesentlichen ist man daher bei der MOS-Feldeffekttransistor-Struktur mit nach der Abscheidung durch Implantation dotierten Epitaxieschicht auf eine Epitaxiedicke von maximal 400 nm begrenzt.

Alternativ dazu kann die Struktur auch mit dotierter Epitaxieschicht hergestellt werden, wobei eine getrennte n⁺- bzw. p⁺-Siliziumepitaxie in die n- bzw. p-Kanal-Bereiche erfolgt. Dadurch wird eine homogene Dotierung der Source/Drain-Gebiete und eine abrupte Dotierungsstufe zum Substrat erreicht. Die Temperaturbelastung bei der benötigten Ausdiffusion von den Source/Drain-Gebieten wird minimiert und der Source/Drain-Anschluß zum Kanalbereich erleichtert. Die Source/Drain-Implantation, falls nötig, dient dann nur für die Verringerung des Serienwiderstandes. Da die Reichweite der Implantation nicht mehr maßgebend ist, entfällt die Begrenzung auf die Epitaxiedicke. Damit wird ein zusätzlicher Freiheitsgrad bezüglich der Feldoxidationsdicke und der Vorplanarisierung gewonnen. Diese Struktur und das Verfahren zu ihrer Herstel-

lung ist gegenüber der zuerst genannten zwar flexibler, erfordert aber eine SiO₂-Maskierungstechnik bei der getrennten n⁺- und p⁺-Epitaxie (siehe Beschreibung der Figuren 8 bis 12).

Nähere Einzelheiten zur Herstellung der Strukturen werden nun anhand von zwei Ausführungsbeispielen (A und B) noch näher erläutert. Dabei folgt bei beiden Ausführungsbeispielen der Prozeß einer konventionellen Technologie, wie sie z.B. in den europäischen Patentanmeldungen 0 135 163 und 0 159 617 beschrieben sind. Die erfindungsgemäße Source/Drain-Herstellung ist mit unterschiedlichen Gate-Materialien bzw. Gatetypen (Silizide, n⁺- bzw. p⁺-Polysilizium-Metallsilizid- oder Polysiliziumgate) vereinbar. Der besseren Übersicht wegen sind in den Figuren 3 bis 12 die Schraffuren nicht eingezeichnet worden.

Ausführungsbeispiel A (mit undotierter Epitaxieschicht)

Figur 3: Die hier dargestellte Struktur wird erhalten, nachdem die Gate-Elektroden 3, 13 auf den, von den Feldoxidbereichen 2 begrenzten aktiven Transistorbereichen des zum Beispiel p-dotierten Substrates 1 und des n-Wannenbereiches 31 strukturiert und mit den Schutzoxid-5, 15 und Flankenoxidschichten 5a, 15a versehen worden sind. Mit 11 bzw. 21 ist das Gateoxid bezeichnet. Abschließend erfolgt ein Reoxidationsprozeß.

Figur 4 zeigt die Anordnung, nachdem die Source/Drain-Bereiche für die nachfolgende Epitaxie durch eine anisotrope Ätzung, z.B. durch Plasmaätzen in einer sauerstoffhaltigen Freon-Atmosphäre (CF₄) freigeätzt worden ist.

Figur 5: Nach einer kurzen Epitaxievorbehandlung (zum Beispiel einer Reinigung in organischen Lösungsmitteln und Spülen in deionisiertem Wasser) erfolgt nun die epitaktische Abscheidung von einkristallinem Silizium mit einer Schichtdicke im Bereich von 300 bis 400 nm ohne Dotierung. Es entstehen die Gebiete 4, 14, 24, 34. Die mit Oxid 5, 5a, 15, 15a bedeckten Gates 3, 13 bleiben von Silizium frei, desgleichen auch die Feldoxidbereiche 2. Anschließend werden die p-Kanal-Gebiete der Schaltung mit den Gates 13 mit einer Fotolackmaske 12 abgedeckt und eine Doppelimplantation (Pfeile 17) zur Erzeugung der n⁺-Source/Drain-Bereiche 4, 14 durchgeführt. Dabei werden zunächst Phosphorionen mit einer Dosis und Energie von $8 \times 10^{15} \text{ cm}^{-2}$ und 70 keV und dann mit 160 keV in die Schichten 4, 14 implantiert. Nach Entfernung der Fotolackschicht 12 werden nun die n-Kanal-Gebiete mit den Gates 3 mit einer erneuten Fotolackmaske abgedeckt und nach einer Voramorphisierung der Source/Drain-Bereiche durch eine Doppel-Silizium-

lonenimplantation ($2 \times 10^{15} \text{ Si}^+ \text{cm}^{-2}$, 100 keV und 150 keV) die Source/Drain-Implantation durchgeführt. Dabei werden zunächst Bor-Ionen mit einer Dosis und Energie von $5 \times 10^{15} \text{ cm}^{-2}$ und 25 keV und dann mit 70 keV in die Schichten 24 und 34 implantiert. Diese Vorgänge sind im einzelnen nicht dargestellt.

Die Figur 6 zeigt die Anordnung nach dem Entfernen der zuletzt aufgetragenen Fotolackmaske und nach dem Silizieren der Source/Drain-Flächen (4, 14, 24, 34). Beim Silizieren wird eine z.B. aus Tantal oder Titan bestehende Metallschicht oder das entsprechende Metallsilizid selektiv auf den freien Siliziumoberflächen niedergeschlagen. Beim nachfolgenden Hochtemperaturschritt bilden sich die Silizidschichten 7, 17, 27, 37 und durch gemeinsamen Ausdiffusion aus den Source/Drain-Bereichen 4, 14, 24, 34 die Source/Drain-Zonen 6, 16, 26, 36. Beim Hochtemperaturschritt wird die Temperatur auf 900°C eingestellt; die Dauer der Temperaturbehandlung beträgt ca. 30 Minuten.

Die Figur 7 zeigt die fertiggestellte CMOS-Anordnung, bei der in bekannter Weise die Zwischenoxide, bestehend aus einer durch Zersetzung von Tetraäthylorthosilikat (TEOS) in 100 nm Dicke entstandene SiO_2 -Schicht 8 und aus einer Bor-Phosphorsilikatglasschicht 9 in 800 nm Dicke aufgebracht und bei 900°C 40 Minuten lang einem Verfließprozeß unterworfen worden sind. In diesen Zwischenoxidschichten werden dann durch Kontakthochtemperatur- und -ätzung Kontaktlöcher erzeugt, und die aus Aluminium/Silizium/Titan bestehende äußere Leiterbahnebene (10 in Figur 1) angeschlossen. Diese Prozeßschritte sind im wesentlichen bekannt und aus den obengenannten europäischen Patentanmeldungen zu entnehmen.

Ausführungsbeispiel B (mit dotierter Epitaxieschicht)

In dieser Prozeßvariante wird erfindungsgemäß die getrennte Erzeugung von n^+ - und p^+ -Epitaxieschichten durchgeführt. Im Vergleich zur Version A ermöglicht diese Variante eine Erhöhung der Epitaxie-Schichtdicke und eine Verminderung der Temperaturbelastung.

Figur 8: Es wird auch hier von der in Figur 3 abgebildeten Struktur ausgegangen. Anstelle des Reoxidationsschrittes erfolgt ein SiO_2 -Abscheidung 18 durch thermische Zersetzung von Tetraäthylorthosilikat in einer Schichtdicke von 150 nm.

Figur 9: Zur Maskierung der p-Kanalbereiche wird nun eine Foto lackmaske 19 aufgebracht und mittels eines anisotropen Ätzprozesses die Source/Drain-Gebiete der n-Kanal-Bereiche freigeätzt. Dabei entstehen auch die Flankenoxide 5a (spacer) an der Gate-Elektrode 3.

Figur 10: Nach Entfernung der Fotolackmaske 19 und nach der Epitaxie-Vorbehandlung erfolgt die selektive n^+ -Epitaxieabscheidung von Silizium in einer Schichtdicke im Bereich von 300 bis 500 nm. Es entstehen die Source/Drain-Bereiche 4, 14, die mit Phosphor dotiert sind (10^{19} cm^{-3}).

Figur 11: Nach der Aufoxidation auf 25 nm (Oxidschicht 20) wird nun eine Fototechnik zur Maskierung der n-Kanal-Bereiche, die Freizätzung der Source/Drain-Gebiete der p-Kanal-Bereiche mit der Flankenoxibildung 15a durchgeführt. Nach Entfernung der Fotolackstruktur und Epitaxievorbehandlung erfolgt jetzt die selektive p^+ -Epitaxie (24, 34), ebenfalls in einer Schichtdicke im Bereich von 300 bis 500 nm mit Bor als Dotierstoff (10^{19} cm^{-3}). Diese Schritte sind im einzelnen nicht dargestellt; sie verlaufen ähnlich wie bei Figur 9 und 10 beschrieben. Die 25 nm-Oxidschicht 20 auf den n-Kanalbereichen wird entfernt und die Silizierung der Source/Drain-Gebiete 4, 14, 24, 34 vorgenommen. Es entstehen die Metallsilizidschichten 7, 17, 27, 37.

Figur 12: Die Fertigstellung der Anordnung erfolgt wie bei Figur 7 beschrieben. Durch den Verfließprozeß bei 900°C , 40 Minuten Dauer, werden die Dotierstoffe (Phosphor, Bor) aus den Bereichen 4, 14, 24, 34 in das Substrat 1 eindiffundiert, wobei die Source/Drain-Zonen 6, 16, 26, 36 entstehen.

Ansprüche

1. Zwischen Feldoxidbereichen (2) einer integrierten Schaltung angeordnete MOS-Feldeffekt-Transistorstruktur mit extrem flachen Source/Drainzonen (6) im Siliziumsubstrat (1) und selbstjustierten, aus Silizid bestehenden Source/Drain-Anschlüssen (7) und einer, durch eine Isolationsschicht (11) vom Substrat (1) getrennten, über der zwischen den Source/Drainzonen (6) liegenden Kanalzone angeordneten, mit Flankenoxid (5a) versehenen Gate-Elektrode (3), dadurch gekennzeichnet, daß zwischen der Gate-Elektrode (3) und den Feldoxidbereichen (2) durch selektive Epitaxie erzeugte einkristalline, dotierte Siliziumschichten (4) angeordnet sind, die

a) die Diffusionsquellen zur Erzeugung der Source/Drainzonen (6) im Substrat (1) und

b) die Anschlußbereiche zu den darüber angeordneten, aus Silizid bestehenden Source/Drain-Anschlüssen (7) bilden (Figur 1).

2. Komplementäre MOS(CMOS)-Transistoren enthaltende hochintegrierte Schaltung mit die aktiven Transistorbereiche trennenden Feldoxidbereichen (2), mit extrem flachen Source/Drainzonen (6, 16, 26, 36) im Substrat (1), mit selbstjustierten, aus Silizid bestehenden Source/Drain-Anschlüssen (7, 17, 27, 37) und mit Gate-Elektroden (3, 13), die

isoliert vom Substrat (1) über den zwischen den Source/Drainzonen (6, 16, 26, 36) der n-Kanal-bzw. p-Kanal-Transistoren liegenden Kanälen angeordnet sind und Flankenoxide (5a, 15a) aufweisen, dadurch gekennzeichnet, daß zwischen den Gate-Elektroden (3, 13) des jeweiligen Transistortyps und den, den jeweiligen Transistor begrenzenden Feldoxidbereichen (2) eine durch selektive Epitaxie erzeugte einkristalline dotierte Siliziumschicht (4, 14, 24, 34) angeordnet ist, die

a) die Diffusionsquelle zur Erzeugung der Source-bzw. Drainzonen (6, 16, 26, 36) im Siliziumsubstrat (1) bildet und

b) als Verbindung zu dem aus Silizid bestehenden Anschlußbereich (7, 17, 27, 37) für die Source-bzw. Drainzone dient.

3. Hochintegrierte CMOS-Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß die durch selektive Epitaxie erzeugte einkristalline Siliziumschicht (4, 14, 24, 34) eine maximale Dicke von 400 nm aufweist und ihre Dotierung so eingestellt ist, daß durch sie die Dotierungsprofile im Substrat (1) nicht geändert werden.

4. Hochintegrierte CMOS-Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß die durch selektive Epitaxie erzeugte einkristalline Siliziumschicht (4, 14, 24, 34) eine Dicke im Bereich von 300 bis 500 nm aufweist und die Dotierung im oberen Bereich der Schicht homogen verläuft und zum Substrat (1) hin eine abrupte Dotierungsstufe aufweist.

5. Verfahren zum Herstellen einer CMOS-Transistoren enthaltenden integrierten Schaltung nach Anspruch 2 oder 3, gekennzeichnet durch den Ablauf der folgenden Verfahrensschritte:

a) Erzeugen der Feldoxidbereiche (2) nach dem sogenannten LOCOS-Verfahren auf dem, mit p-bzw. n-Wannen für den jeweiligen Transistortyp versehenen Siliziumsubstrat (1),

b) Durchführung der Gateoxidation (11, 21),

c) Aufbringen und Strukturieren der mit einer SiO_2 -Schicht (5, 15) versehenen Gate-Elektroden (3, 13) und Erzeugen der Flankenoxide (5a, 15a) and den Gate-Elektroden (3, 13) durch Oxidation,

d) anisotrope Freizätzung der für die Source/Drainzonen (6, 16, 26, 36) der Schaltung vorgesehenen Bereiche des Substrats (1),

e) selektive epitaktische Abscheidung einer undotierten, einkristallinen Siliziumschicht (4, 14, 24, 34) auf den freigeätzten Substratoberflächen (1) in einer Schichtdicke im Bereich von 300 bis 400 nm,

f) Durchführung einer Ionenimplantation (17) mit Ionen vom ersten Leitungstyp in die undotierte epitaktische Siliziumschicht (4, 14) zur Erzeugung der Source/Drainzonen (6, 16) vom ersten Leitung-

styp nach vorheriger Fotolack-Maskierung (12) des Transistorbereiches mit den Source/Drainzonen (26, 36) vom zweiten Leitungstyp,

g) Entfernung der Fotolackmaske (12),

h) Durchführung einer weiteren Ionenimplantation vom zweiten Leitungstyp in die undotierte epitaktische Siliziumschicht (24, 34) zur Erzeugung der Source/Drainzonen (26, 36) vom zweiten Leitungstyp nach vorheriger Fotolack-Maskierung des Transistorbereiches mit den Source/Drainzonen (6, 16) vom ersten Leitungstyp,

i) Entfernung der Fotolackmaske,

j) Silizierung der Source/Drain-Oberflächen (7, 17, 27, 37) der epitaktischen Siliziumschicht (4, 14, 24, 34),

k) Durchführung eines Hochtemperaturschrittes zur gemeinsamen Ausdiffusion der Source/Drainzonen (6, 16, 26, 36) beider Transistortypen.

l) Erzeugung von Zwischenisolations-schichten (8, 9), Öffnen von Kontaktlöchern zu den Source/Drain Anschlußbereichen (7, 17, 27, 37) und den Gate-Elektroden (3, 13) und Durchführung der Metallisierung (10) in bekannter Weise.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß zwischen den Verfahrensschritten g) und h) eine Voramorphisierung der Source/Drainbereiche (26, 36) durch Implantation von Silizium-Ionen durchgeführt wird.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß jeweils beim Einbringen von Fremdstoffen Doppelimplantationen durchgeführt werden, wobei zuerst mit niedrigerer Energie implantiert wird.

8. Verfahren zum Herstellen einer CMOS-Transistoren enthaltenden integrierten Schaltung nach Anspruch 2 oder 4, gekennzeichnet durch den Ablauf der folgenden Verfahrensschritte:

a) Erzeugen der Feldoxidbereiche (2) nach dem sog. LOCOS-Verfahren auf dem, mit p-bzw. n-Wannen für den jeweiligen Transistortyp versehenem Siliziumsubstrat (1),

b) Durchführung der Gateoxidation (11, 21),

c) Aufbringen und Strukturieren der mit einer SiO_2 -Schicht (5, 15) versehenen Gate-Elektroden (3, 13) der Schaltung,

d) Abscheidung einer SiO_2 -Schicht (18) und Durchführung einer Fotolacktechnik (19) zur SiO_2 -Maskierung des Transistorbereiches mit den Source/Drainzonen (26, 36) vom zweiten Leitungstyp,

e) anisotrope Freizätzung der für die Source/Drainzonen (6, 16) vom ersten Leitungstyp vorgesehenen Substratoberflächen,

f) Erzeugen der Gate-Flankenoxide (5a),

g) Entfernung der Fotolackmaske (19),

h) selektive epitaktische Abscheidung einer einkristallinen Siliziumschicht (4, 14) mit Dotierstoffen vom ersten Leitungstyp auf den freigeätzten Substratoberflächen in einer Schichtdicke im Bereich von 300 bis 500 nm,

i) Durchführung eines Oxidationsprozesses zur Erzeugung eines Schutzoxides (20),

j) Aufbringen einer Fotolackmaske auf die Transistorbereiche vom ersten Leitungstyp (6, 16),

k) anisotrope Freizätzung der für die Source/Drainbereiche (26, 36) vom zweiten Leitungstyp vorgesehenen Substratoberflächen,

l) Erzeugen der Gate-Flankenoxide (15a),

m) Entfernung der Fotolackmaske,

n) selektive epitaktische Abscheidung einer einkristallinen Siliziumschicht (24, 34) mit Dotierstoffen vom zweiten Leitungstyp auf den freigeätzten Substratoberflächen in einer Schichtdicke im Bereich von 300 bis 500 nm,

o) Silizierung der Source/Drainoberflächen der epitaktischen Siliziumschicht (4, 14, 24, 34) nach Entfernung des Schutzoxides (20) auf dem Transistorbereich vom ersten Leitungstyp,

p) Durchführung eines Hochtemperaturschrittes zur gemeinsamen Ausdiffusion der Source/Drainzonen beider Transistortypen,

q) Erzeugen von Zwischenisolationsschichten (8, 9), Öffnen von Kontaktlöchern zu den Source/Drain-Anschlußbereichen (7, 17, 27, 37) und Gate-Elektroden (3, 13) und Durchführung der Metallisierung in bekannter Weise.

9. Verfahren nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß als Dotierstoff für den ersten Leitungstyp Phosphor und für den zweiten Leitungstyp Bor verwendet wird.

10. Verfahren nach einem der Ansprüche 5 bis 9, dadurch gekennzeichnet, daß die Hochtemperaturschritte zur gemeinsamen Ausdiffusion der Dotierstoffe bei 900°C mindestens 30 Minuten lang durchgeführt werden.

11. Verfahren nach einem der Ansprüche 5 bis 10, dadurch gekennzeichnet, daß die Silizierung der Source/ Drainanschlüsse (4, 14, 24, 34) durch Abscheidung eines hochschmelzenden Metalles, vorzugsweise von Tantal oder Titan, durch Kathodenzerstäubung (Sputtern) und anschließender Temperung erfolgt.

12. Verfahren nach einem der Ansprüche 5 bis 11, dadurch gekennzeichnet, daß die epitaktische Siliziumabscheidung (4, 14, 24, 34) aus der Gasphase durch thermische Zersetzung von Halosilanen bei niedrigen Drucken erfolgt.

13. Verfahren nach einem der Ansprüche 5 bis 12, dadurch gekennzeichnet, daß die anisotropen Ätzprozesse durch Plasmaätzen in sauerstoff- und fluorhaltiger Atmosphäre vorgenommen werden.

14. Verfahren nach einem der Ansprüche 5 bis 13, dadurch gekennzeichnet, daß für die Isolationsschichten (8, 9) oder Maskieroxidschichten (5, 5a, 15, 15a, 20) eine durch Zersetzung von Tetraethylorthosilikat erzeugte SiO_2 -Schicht verwendet wird.

THIS PAGE BLANK (USPTO)

FIG 1

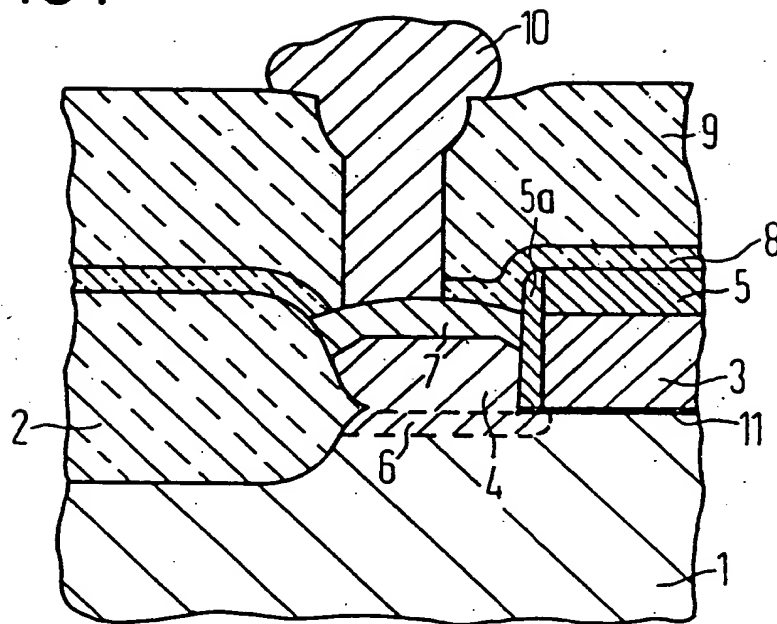
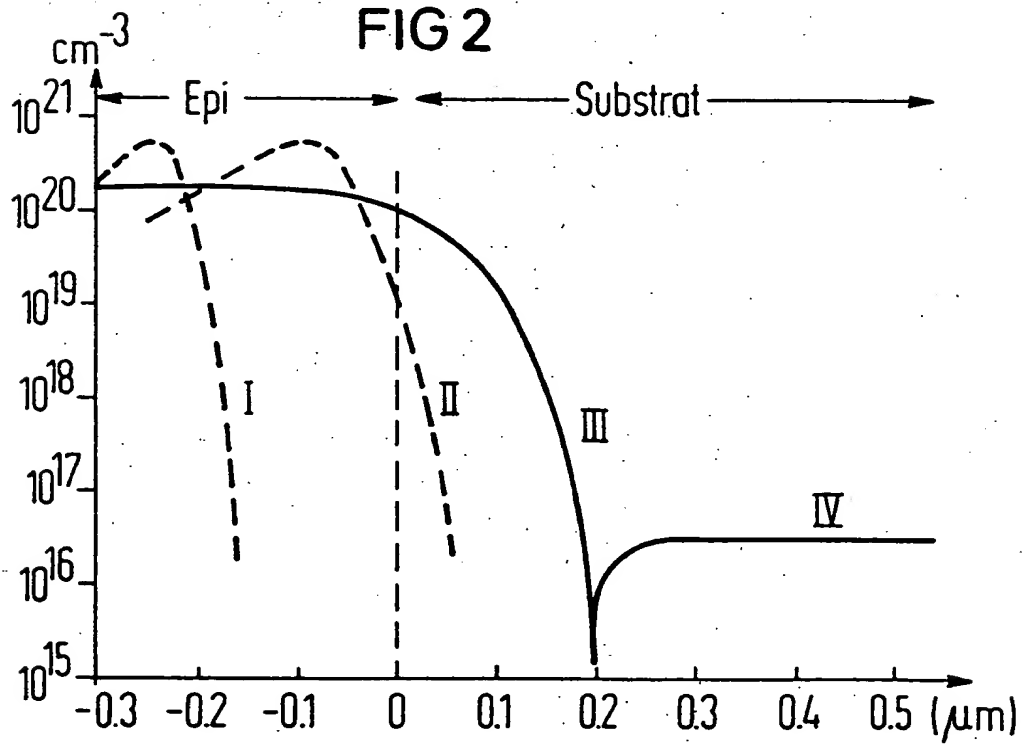


FIG 2



THIS PAGE BLANK (USPTO)

FIG 3

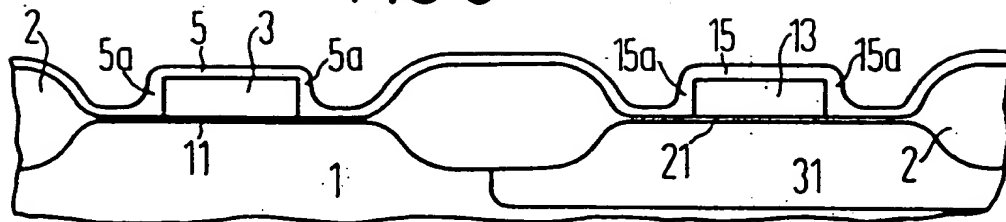


FIG 4

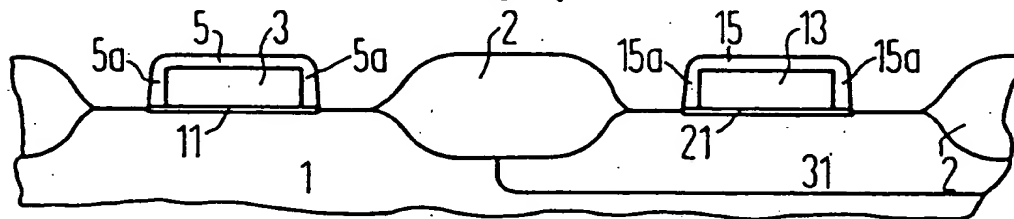


FIG 5

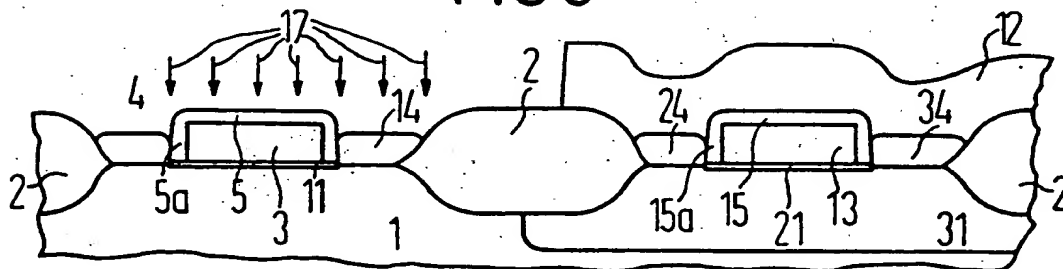


FIG 6

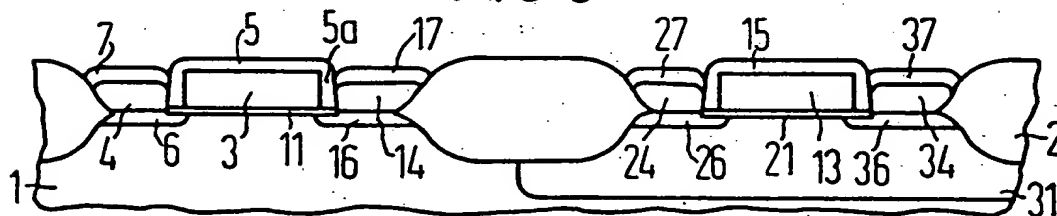
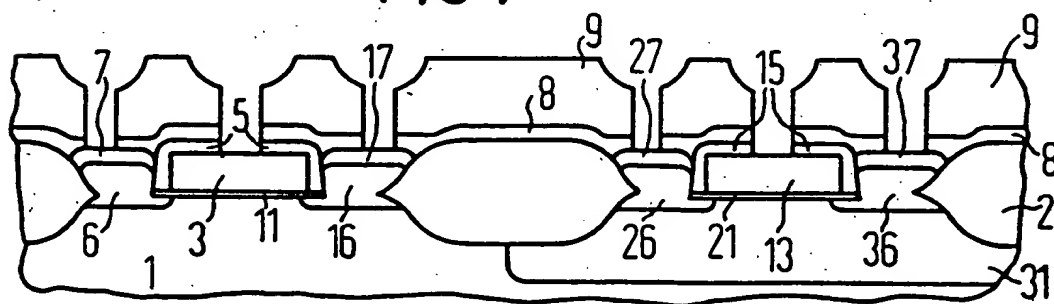


FIG 7



THIS PAGE BLANK (USPTO)

FIG 8

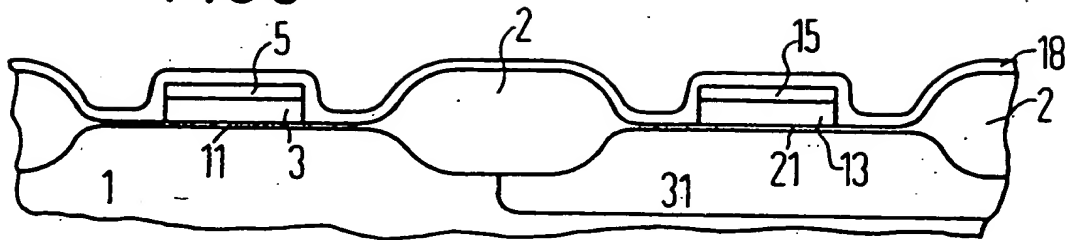


FIG 9

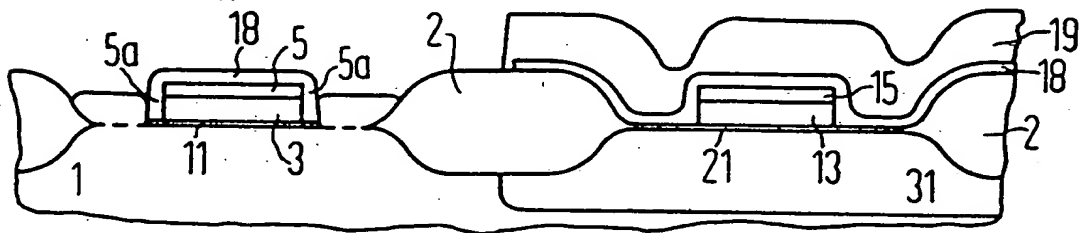


FIG 10

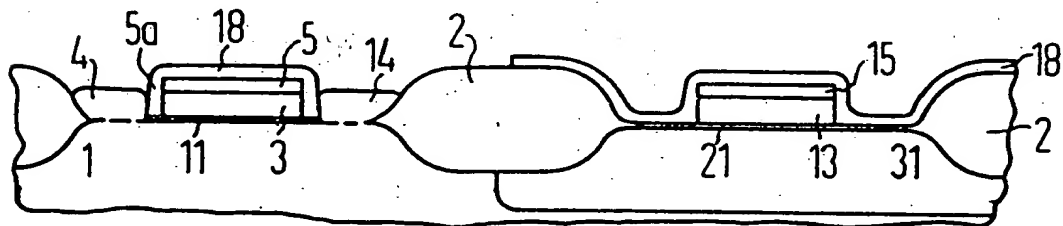


FIG 11

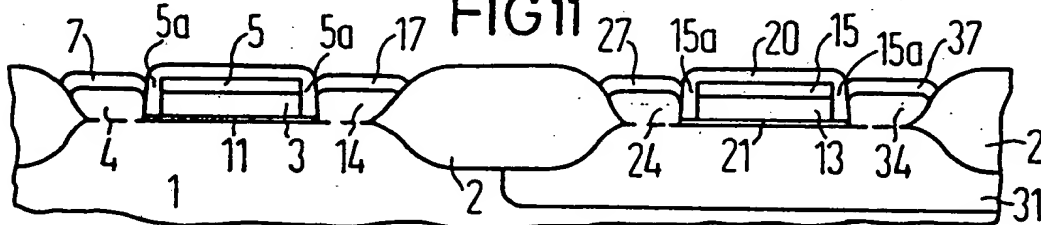
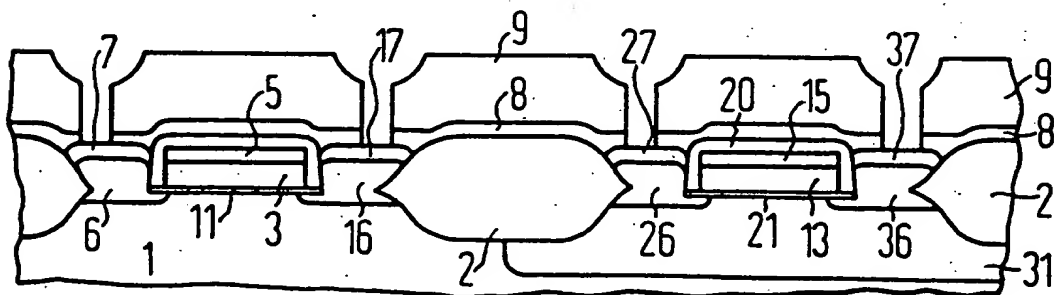


FIG 12



THIS PAGE BLANK (USPTO)



EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.4)
A	US-A-4 041 518 (S. SHIMIZU et al.) * Anspruch 1; Figur 7d *	1	H 01 L 29/54
A	---	5,8	H 01 L 21/285
Y	US-A-4 343 082 (M.P. LEPSELTTER et al.) * Zusammenfassung *	1	H 01 L 21/82
Y	US-A-4 566 914 (J.H. HALL) * Zusammenfassung *	1	
A	EP-A-0 118 709 (SIEMENS AG) * Anspruch 7 *	1,2,5,8 ,11	
A	US-A-4 542 580 (P. DELIVORIAS) * Zusammenfassung *	1,2,5,8 ,11	
			RECHERCHIERTE SACHGEBIETE (Int. Cl.4)
			H 01 L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 02-02-1988	Prüfer ZOLLFRANK G.O.
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument ----- & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

THIS PAGE BLANK (USPTO)

Subaccount is set to P991696

?b wpi

27aug99 11:30:27 User238451 Session D1327.18

Sub account: P991696

\$0.00 0.000 DialUnits File654
\$0.00 Estimated cost File654
\$0.00 0.000 DialUnits File653
\$0.00 Estimated cost File653
\$0.00 0.000 DialUnits File652
\$0.00 Estimated cost File652
OneSearch, 3 files, 0.000 DialUnits FileOS
\$0.01 TYMNET
\$0.01 Estimated cost this search
\$53.90 Estimated total session cost 2.297 DialUnits

File 351:DERWENT WPI 1963-1999/UD=9934;UP=9934;UM=9934

(c)1999 Derwent Info Ltd

*File 351: New abstract and indexing content available. For details
see HELP NEWS 351.

Set Items Description

--- -----

?s pn=ep 268941

S1 1 PN=EP 268941

?t s1/5

1/5/1

DIALOG(R)File 351:DERWENT WPI

(c)1999 Derwent Info Ltd. All rts. reserv.

007514849 **Image available**

WPI Acc No: 88-148782/198822

XRPX Acc No: N88-113668

**MOSFET structure with flat source drain zones - has mono-crystalline
silicon layers between gate and oxide zone as diffusion source-contact
zones**

Patent Assignee: SIEMENS AG (SIEI)

Inventor: MAZURE-ESPEJO C A; NEPPL F; MAZUREESPE C A

Number of Countries: 010 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 268941	A	19880601	EP 87116679	A	19871111		198822 B
JP 63141373	A	19880613	JP 87288264	A	19871113		198829
US 4885617	A	19891205	US 87110885	A	19871021		199006
CA 1284392	C	19910521					199125
EP 268941	B	19920415	EP 87116679	A	19871111		199216
DE 3778311	G	19920521	DE 3778311	A	19871111	H01L-029/54	199222
			EP 87116679	A	19871111		
KR 9700535	B1	19970113	KR 8712959	A	19871118	H01L-029/78	199932

Priority Applications (No Type Date): DE 3639356 A 19861118

Cited Patents: EP 118709; US 4041518; US 4343082; US 4542580; US 4566914

Patent Details:

Patent Kind Lan Pg Filing Notes Application Patent

EP 268941 A G 11

Designated States (Regional): AT DE FR GB IT NL

US 4885617 A 8

EP 268941 B G 14

Designated States (Regional): AT DE FR GB IT NL

THIS PAGE BLANK (USPTO)

Abstract (Basic): DE 3778311 G

Between the gate electrode (3) and the oxide region (2) are arranged selective-epitaxially produced monocrystalline silicon layers which form diffusion sources for production of source/drain zones (6) in the substrate, and the connection zones to the source drain contact (7). In a CMOS circuit the structure is applied to each transistor, and the silicon layer has a maximal thickness of around 400 nm with its doping so adjusted that the dopant profile in the substrate is unaltered by it. Alternatively, the doping in the upper region of the layer runs homogenously, with an abrupt doping step to the substrate. S USE/ADVANTAGE - Highly integrated CMOS IC. No possibility of short circuits arising and in manufacture contact hole etching and selectivity of substrate etching is not critical.

EP 268941 A

Between the gate electrode (3) and the oxide region (2) are arranged selective-epitaxially produced monocrystalline silicon layers which form diffusion sources for production of source/drain zones (6) in the substrate, and the connection zones to the source drain contact (7). In a CMOS circuit the structure is applied to each transistor, and the silicon layer has a maximal thickness of around 400 nm with its doping so adjusted that the dopant profile in the substrate is unaltered by it. Alternatively, the doping in the upper region of the layer runs homogenously, with an abrupt doping step to the substrate. S USE/ADVANTAGE - Highly integrated CMOS IC. No possibility of short circuits arising and in manufacture contact hole etching and selectivity of substrate etching is not critical.

Title Terms: MOSFET; STRUCTURE; FLAT; SOURCE; DRAIN; ZONE; MONO; CRYSTAL; SILICON; LAYER; GATE; OXIDE; ZONE; DIFFUSION; SOURCE; CONTACT; ZONE

Derwent Class: U11; U12

International Patent Class (Main): H01L-029/54; H01L-029/78

International Patent Class (Additional): H01L-021/28; H01L-021/285;

H01L-021/82; H01L-023/48; H01L-027/08

File Segment: EPI

?logoff

27aug99 11:30:47 User238451 Session D1327.19

Sub account: P991696

\$3.67 0.176 DialUnits File351

\$3.55 1 Type(s) in Format 5

\$3.55 1 Types

\$7.22 Estimated cost File351

\$0.19 TYMNET

\$7.41 Estimated cost this search

\$61.31 Estimated total session cost 2.474 DialUnits

THIS PAGE BLANK (USPTO)